

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294380

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

H01L 21/82

G06F 17/50

(21)Application number : 10-031234

(71)Applicant : SHARP CORP

(22)Date of filing : 13.02.1998

(72)Inventor : TAMAKASHIWA KAZUO

(30)Priority

Priority number : 09 37809

Priority date : 21.02.1997

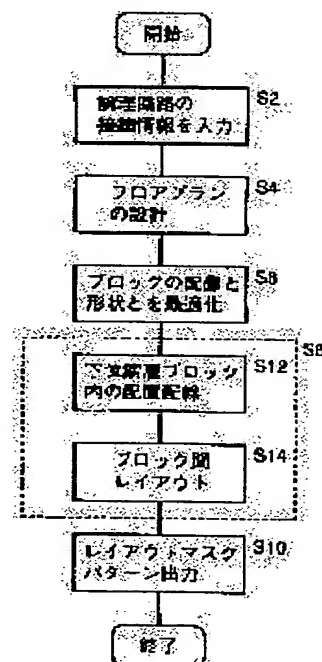
Priority country : JP

(54) METHOD FOR HIERARCHICAL LAYOUT AND RECORDING MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for hierarchical layout and a recording medium enabling optimization of chip layout by reducing the area of wiring path with change of a floor plan graph.

SOLUTION: A method for hierarchical layout using a computer program includes Step 2 wherein connection information between blocks of a logic circuit is prepared in a machine-readable form, Step 4 wherein a layout is designed on the basis of the connection information, and Step 6 wherein the relative configuration of the blocks in the layout is changed in accordance with the specified reference for reducing the area of wiring path and the configuration and shapes of the blocks are optimized on the basis of the changed relative configuration of the blocks. In Step 4, either a floor plan design or a detailed design may be performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 294380

(43) 公開日 平成10年(1998)11月4日

(51) Int. Cl. ⁶ 識別記号

H 0 1 L 21/82

G 0 6 F 17/50

F I

H 0 1 L 21/82 B

G 0 6 F 15/60 6 5 8 B

H 0 1 L 21/82 C

審査請求 未請求 請求項の数6

O L

(全 1 4 頁)

(21) 出願番号 特願平10-31234

(22) 出願日 平成10年(1998)2月13日

(31) 優先権主張番号 特願平9-37809

(32) 優先日 平9(1997)2月21日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 玉柏 和男

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

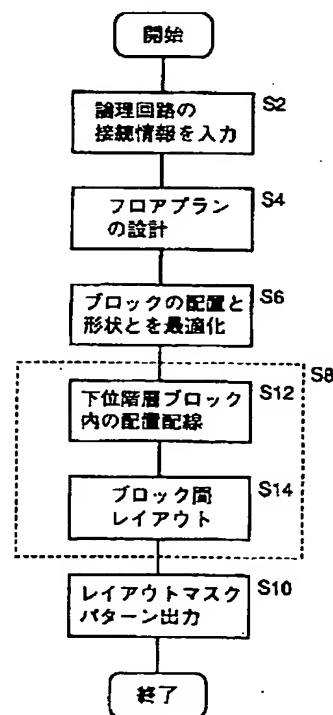
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 階層的レイアウト方法及び記録媒体

(57) 【要約】

【課題】 フロアプラングラフを変更することにより配線経路のための面積を削減することによって、チップのレイアウトを最適化することができる階層的レイアウト方法及び記録媒体を提供する。

【解決手段】 コンピュータプログラムを用いて階層的レイアウト方法は、論理回路のブロック間の接続情報を機械可読な形式で準備するステップS2と、この接続情報に基づきレイアウト設計を行なうステップS4と、配線経路面積を削減する所定の基準に従って、レイアウト中のブロックの相対配置の変更を行ない、変更されたブロック相対配置に基づきブロック配置とブロック形状とを最適化するステップS6とを含む。ステップS4では、フロアプラン設計を行なっても、詳細設計を行なってもよい。



【特許請求の範囲】

【請求項1】 コンピュータプログラムを用いて複数のブロックを含む論理回路チップのレイアウトを行なう階層的レイアウト方法であって、

複数のブロックを含む論理回路の、ブロック間の接続情報を機械可読な形式で準備するステップと、前記接続情報に基づいて、ブロック間配線の経路情報を含むレイアウト設計を行なうステップと、配線経路のために必要とされる面積を削減するための所定の基準に従って、レイアウトに含まれるブロックの相対配置の変更を行ない、変更されたブロックの相対配置に基づいてブロック配置とブロック形状とを最適化するステップとを含む階層的レイアウト方法。

【請求項2】 前記最適化するステップは、ブロックの初期相対配置を決定するステップと、決定された相対配置において、チップの大きさを支配するクリティカルパス上に存在する配線領域を検出するステップと、

前記クリティカルパス上に存在する配線領域のうち、当該配線領域の周囲のブロックの相対配置を変更することによる配線領域の削減可能性が最大の配線領域を決定するステップと、

前記削減可能性が最大であると決定された配線領域の周囲のブロックの相対配置を変更し、変更後のブロック相対配置に基づいて、チップ形状と、ブロック配置と、ブロック形状とを決定するステップと、

変更後のブロック相対配置に基づいて決定されたチップ形状と、ブロック配置と、ブロック形状とによって定められるチップの面積を計算するステップと、

当該計算されたチップ面積が最小値であると判定されるまで、前記配線領域を検出するステップと、前記削減可能性が最大の配線領域を決定するステップと、前記チップ形状と、ブロック配置と、ブロック形状とを決定するステップと、前記計算するステップとを繰り返すステップと、

前記繰り返すステップによって得られた最小値を与えるブロック配置と、ブロック形状とを最適化レイアウトとして出力するステップとを含む、請求項1に記載の階層的レイアウト方法。

【請求項3】 前記削減可能性が最大の配線領域を決定するステップは、

クリティカルパス上の配線箇所の各々について、当該配線箇所を通過する配線の各々の経路の方向性を決定するステップと、

前記配線の前記方向性に対して所定の関数関係を適用することにより、チップの面積の削減可能性を評価して、最大削減可能性を与える配線箇所を決定するステップとを含む、請求項2に記載の階層的レイアウト方法。

【請求項4】 前記レイアウト設計を行なうステップは、

ブロックの配置と、ブロック形状と、ブロック間の配線経路とを含む詳細レイアウトを設計するステップを含む、請求項1～3のいずれかに記載の階層的レイアウト方法。

【請求項5】 前記レイアウト設計を行なうステップは、

ブロックの配置と、ブロック形状と、ブロック間の配線の見積り経路とを含むフロアプランを設計するステップを含む、請求項1～3のいずれかに記載の階層的レイアウト方法。

【請求項6】 複数のブロックを含む論理回路チップのレイアウトを階層的レイアウト方法を用いて行なうプログラムであって、

複数のブロックを含む論理回路の、ブロック間の接続情報を機械可読な形式で準備する処理と、

前記接続情報に基づいて、ブロック間配線の経路情報を含むレイアウト設計を行なう処理と、

配線経路のために必要とされる面積を削減するための所定の基準に従って、レイアウトに含まれるブロックの相対配置の変更を行ない、変更されたブロックの相対配置に基づいてブロック配置とブロック形状とを最適化する処理と、を実行させるプログラムを格納した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路など配線を使用する電子回路部品の階層的レイアウト方法に関し、特に、全体のチップ面積を小さくすることができる階層的レイアウト方法及び記録媒体に関するものである。

【0002】

【従来の技術】 半導体集積回路チップを低コストで作成するためには、チップ面積をできるだけ小さくすることが重要である。一方で、最近の微細プロセス技術の進歩により、1個のチップに収めることのできる回路の規模が急激に増加し、配線の量が膨大となっている。従って、チップ面積を削減するうえで、レイアウト時の配線領域の大きさをできるだけ削減し、ブロックを適切な形状とすることが望ましい。

【0003】 大規模な回路のレイアウトを設計する際に不可欠な方法として、回路を階層化してレイアウトする方法がある。これを「階層的レイアウト方法」と呼ぶ。この方法は次の順序に従ってチップ全体のレイアウト設計を行なう。

【0004】 (1) 上位階層から下位階層へトップダウンにフロアプランを設計

(2) 下位階層から上位階層へボトムアップに詳細レイアウトを設計

フロアプラン設計とは、チップを構成する複数の機能ブロックをチップ上にどのように配置すれば、チップ面積、配線長、タイミング等のレイアウト条件が最適化で

きるかを見積り、そのチップレイアウトを得る手法であり、チップ全体のレイアウトを大局的に最適化する目的で行なわれる。すなわちフロアプラン設計は、チップ全体の面積の削減、配線遅延時間の最適化、消費電力の削減などを目的として、上位から下位の階層へと各ブロックの配置と形状とを求める。この際、下位のブロックのレイアウトは必ずしも設計済である必要はない。

【0005】詳細レイアウト設計とは、上記(1)のフロアプラン設計によって最下位階層のブロックの形状が定められた後に行なわれる処理である。詳細レイアウト設計は次の手順で行なわれる。まずブロック内配線を実施する。次にブロック間配線を実施する。これにより1階層の詳細レイアウトが終了したことになる。これを下位階層から上位階層へとボトムアップ方式で行なっていくことにより全体のレイアウトを決定する。

【0006】階層的レイアウト方法において、チップ全体の面積を最小化するためには、フロアプラン設計時に単にブロックを隙間なく配置できるようにブロックの配置と形状を決めることだけでは足りない。そうではなくて、ブロック間の配線領域の大きさも考慮してブロックの配置と形状とを決定する必要がある。

【0007】こうしたレイアウトを決定するうえで使用されるブロックの相対配置を表わすモデルとして、さまざまなグラフ表現が提案されている。例えばスライス木、制約グラフなどである。しかし、詳細レイアウト設計の入力となる各ブロックの形状を決定する時点では、フロアプラングラフが用いられる。フロアプラングラフとは、機能ブロック間の相対配置と配線領域とを表わすグラフである。フロアプラングラフの各節点(頂点)には、与えられたブロック配置からその位置座標が割当てられている。フロアプラングラフの各辺(枝)には、頂点間の距離が割当てられる。各ネットの配線経路は、フロアプラングラフ上の辺の系列で表わされる。従って、フロアプラングラフを変更すれば配線経路も変更される。

【0008】フロアプラン設計時にフロアプラングラフを用い、かつブロック間の配線領域の大きさをも考慮してブロックの配置と形状とを決定する従来の方法として、「VLSIにおけるフロアプランニングについて」(富田常雄、松本美佐代、岡田時仁、神戸尚志、情報処理学会、設計自動化46-2、1989.2.20, pp.9-16)がある。この論文は、ブロックの相対配置を表わすモデルにフロアプラングラフを用い、ブロックの配置と形状とを最適化することでチップ面積を小さくする1つの方法を開示している。

【0009】図26に、この方法において使用されるフロアプラングラフの一例を示す。図26を参照して、チップ170が4つの機能ブロック172、174、176及び178を含んでいるものとし、この配置をフロアプラングラフ180によってモデル化している。図26

においてグラフ180中の黒丸は節点を表わす。この方法では、グラフ180の各辺に、配線領域の大きさを割当て、この大きさに基づいてブロックの配置と形状とを変更して全体の面積の削減を図っている。

【0010】この従来技術で開示された詳細な処理手順を図27を参照して説明する。まず、レイアウトを定めるべき論理回路の接続情報を入力する(S2)。次に、フロアプランの設計を行なう(S4)。

【0011】フロアプランの設計の詳細は次のとおりである。まずブロックの配置を決定し、次にブロック形状を決める。そしてこのように決定されたブロック配置とブロック形状とに対応するフロアプラングラフを生成する。次に、ブロック間の見積り配線を実行し、フロアプラングラフの各辺に配線領域の大きさを割当てる。最後に、配線領域の大きさに従ってブロックの形状や配置の変更を行ない、フロアプラン設計を終了する。

【0012】フロアプラン設計の終了後、詳細レイアウト設計(S8)を行なう。詳細レイアウト設計S8は下位階層ブロック内の配置配線(S12)と、このように配置配線が決定されたブロック間のレイアウトを行なう処理(S14)とを含んでいる。

【0013】最後に、このようにして決められたレイアウトマスクパターンを出力し(S10)、処理を終了する。

【0014】

【発明が解決しようとする課題】しかしながらこの従来技術の方法は、フロアプラングラフが決められていることを前提としてブロック配置と形状とを最適化する方法であって、フロアプラングラフそのものを変更することによりチップ全体の面積を最適化することはできない。仮にフロアプラングラフ自体に問題があれば、本来であればよりチップ面積を小さくできるにもかかわらず、従来技術ではそれが可能でないという問題がある。特に、配線経路が変わるようにフロアプラングラフを変更できれば、配線経路のための面積を削減することができる可能性がある。

【0015】それゆえに本発明は前記問題点を解決するためになされたものであって、その目的とするところは以下の内容である。

【0016】請求項1に記載の発明の目的は、フロアプラングラフ自体を変更して配線経路のための面積を削減することによって、チップのレイアウトを最適化することができる階層的レイアウト方法を提供することである。

【0017】請求項2に記載の発明の目的は、請求項1に記載の発明の目的に加え、最終的に最適化されたブロック配置とブロック形状とを得ることができる階層的レイアウト方法を提供することである。

【0018】請求項3に記載の発明の目的は、請求項2に記載の発明の目的に加え、ブロックの相対配置の変更

による配線領域の面積の増減を評価することにより、ブロックの相対配置の変更をするか否かを決定できる階層的レイアウト方法を提供することである。

【0019】請求項4に記載の発明の目的は、請求項1～3に記載の発明の目的に加え、詳細レイアウト後に、チップ中のブロック配置、ブロック形状等を最適化できる階層的レイアウト方法を提供することである。

【0020】請求項5に記載の発明の目的は、請求項1～3に記載の発明の目的に加えて、フロアプラン設計後に、チップ中のブロック配置、ブロック形状等を最適化

【0021】請求項6に記載の発明の目的は、フロアプラングラフ自体を変更して配線経路のための面積を削減することによって、チップのレイアウトを最適化することができる階層的レイアウト方法を実現するプログラムを格納した記録媒体を提供することである。

【0022】

【課題を解決するための手段】請求項1に記載の発明に係る階層的レイアウト方法は、コンピュータプログラムを用いて複数のブロックを含む論理回路チップのレイアウトを行なう階層的レイアウト方法であって、複数のブロックを含む論理回路の、ブロック間の接続情報を機械可読な形式で準備するステップと、接続情報に基づいて、ブロック間配線の経路情報を含むレイアウト設計を行なうステップと、配線経路のために必要とされる面積を削減するための所定の基準に従って、レイアウトに含まれるブロックの相対配置の変更を行ない、変更されたブロックの相対配置に基づいてブロック配置とブロック形状とを最適化するステップとを含むことである。

【0023】請求項1に記載の発明に係る階層的レイアウト方法によれば、接続情報に従って一旦レイアウト設計が行なわれた後、所定の基準に従って、レイアウトに含まれるブロックの相対配置の変更が行なわれ、変更後のブロックの相対配置に基づいてブロック配置とブロック形状とが最適化される。この所定の基準は、配線経路のために必要とされる面積を削減できるように定められており、そのため相対配置の変更後のチップのレイアウトでは配線経路のための面積が削減され、レイアウトを最適化することができる。

【0024】請求項2に記載の発明に係る階層的レイアウト方法は、請求項1に記載の発明の構成に加えて、最適化するステップは、ブロックの初期相対配置を決定するステップと、決定された相対配置において、チップの大きさを支配するクリティカルパス上に存在する配線領域を検出するステップと、クリティカルパス上に存在する配線領域のうち、当該配線領域の周囲のブロックの相対配置を変更することによる配線領域の削減可能性が最大の配線領域を決定するステップと、削減可能性が最大であると決定された配線領域の周囲のブロックの相対配置を変更し、変更後のブロック相対配置に基づいて、チ

ップ形状と、ブロック配置と、ブロック形状とを決定するステップと、変更後のブロック相対配置に基づいて決定されたチップ形状と、ブロック配置と、ブロック形状とによって定められるチップの面積を計算するステップと、当該計算されたチップ面積が最小値であると判定されるまで、配線領域を検出するステップ、削減可能性が最大の配線領域を決定するステップ、チップ形状と、ブロック配置と、ブロック形状とを決定するステップ、及び計算するステップを繰り返すステップと、繰り返すステップによって得られた最小値を与えるブロック配置と、ブロック形状とを最適化レイアウトとして出力するステップとを含むことである。

【0025】請求項2に記載の発明に係る階層的レイアウト方法によれば、ある相対配置におけるクリティカルパス上の配線領域のうち、周囲のブロックの相対配置を変更することによる配線領域のための面積の削減可能性が最大のものが決定され、その配線領域の周囲のブロックの相対配置が変更される。変更後の相対配置に従ってチップの面積、ブロック配置、及びブロック形状が計算される。そして、チップの面積が最小値であると判定されるまでこれら処理が繰り返され、最小値が得られた時点でそのときのレイアウトが出力されるので、最終的に最適化されたブロック配置とブロック形状とを得ることができる。

【0026】請求項3に記載の発明に係る階層的レイアウト方法は、請求項2に記載の発明の構成に加えて、削減可能性が最大の配線領域を決定するステップは、クリティカルパス上の配線箇所の各々について、当該配線箇所を通過する配線の各々の経路の方向性を決定するステップと、これら配線の方向性に対して所定の関数関係を適用することにより、チップの面積の削減可能性を評価して、最大削減可能性を与える配線箇所を決定するステップとを含むことである。

【0027】請求項3に記載の発明に係る階層的レイアウト方法によれば、配線箇所の周囲のブロックの相対配置を変えることにより、当該配線箇所における配線のために必要とされる面積が減少するか否かは、当該配線領域における各配線の方向性によって決定できる。例えば相対配置の変更前には配線が折れ曲がっているが、変更後には直線の部分が多くなるのなら、配線の屈曲部の方が面積を多く必要とするので、相対配置変更後の方が配線のための面積が減少する可能性が高い。こうした関係を、配線の方向性に着目して、配線領域の削減可能性を配線の方向性の関数として定めることができる。この関数によりブロックの相対配置の変更による配線領域の面積の増減を評価できる。

【0028】請求項4に記載の発明に係る階層的レイアウト方法は、請求項1～3のいずれかに記載の発明の構成に加えて、レイアウト設計を行なうステップは、ブロックの配置と、ブロック形状と、ブロック間の配線経路

とを含む詳細レイアウトを設計するステップを含むことである。

【0029】請求項4に記載の発明に係る階層的レイアウト方法によれば、詳細レイアウト後に、チップ中のブロック配置、ブロック形状等を最適化できる。

【0030】請求項5に記載の発明に係る階層的レイアウト方法は、請求項1～3のいずれかに記載の発明の構成に加えて、レイアウト設計を行なうステップは、ブロックの配置と、ブロック形状と、ブロック間の配線の見積り経路とを含むフロアプランを設計するステップを含むことである。

【0031】請求項5に記載の発明に係る階層的レイアウト方法によれば、フロアプラン設計後に、チップ中のブロック配置、ブロック形状等を最適化できる。

【0032】請求項6に記載の発明に係る記録媒体は、複数個のブロックを含む論理回路チップのレイアウトを階層的レイアウト方法を用いて行なうプログラムであって、複数個のブロックを含む論理回路の、ブロック間の接続情報を機械可読な形式で準備する処理と、前記接続情報に基づいて、ブロック間配線の経路情報を含むレイアウト設計を行なう処理と、配線経路のために必要とされる面積を削減するための所定の基準に従って、レイアウトに含まれるブロックの相対配置の変更を行ない、変更されたブロックの相対配置に基づいてブロック配置とブロック形状とを最適化する処理と、を実行させるプログラムを格納したものである。

【0033】請求項6に記載の発明に係る記録媒体によれば、前記請求項1記載の特徴を有する階層的レイアウト方法を実現するプログラムを格納した記録媒体を提供できる。

【0034】

【発明の実施の形態】以下に本発明の階層的レイアウト方法及び記録媒体における実施形態について図面を用いて説明する。

【0035】〔実施の形態1〕図1に、本願発明を実装するためのシステム構成を示す。図1を参照してこのシステム40は、コンピュータからなるレイアウト設計装置42と、このレイアウト設計装置42に各々が接続された文字入力装置44、外部記憶装置46、表示装置48及びポインティング装置50とを含む。文字入力装置44としては例えばキーボードが用いられる。外部記憶装置46としては、例えば固定ディスク、フレキシブルディスクなどが用いられる。表示装置48としては、いわゆるモニタ、液晶表示装置など通常の表示装置を使用することができる。ポインティング装置50は通常マウスであるが、表示装置48上のある1点の座標を指定することができる装置であればどのようなものでもよい。

【0036】図2に、システム40の外観を示す。図2に示すシステム40は、レイアウト設計装置42及び外部記憶装置46（ハードディスク装置）を収納した本体

52と、文字入力装置としてのキーボード44と、ポインティング装置としてのマウス50と、表示装置としてのCRT（Cathode Ray Tube）とを含んでいる。尚本体52は、CD-ROM（Compact Disc Read-Only Memory）ドライブ56と、フレキシブルディスク54のドライブ58とを有している。これらはいずれも図1に示す外部記憶装置46の一例である。尚、上記外部記憶装置46はこの構成に限定されるものではない。

【0037】図1に示す外部記憶装置46は、以下に述べる本願発明の方法を実施するうえで処理されるデータを格納するための領域として使用されるが、本願発明の方法を実現するためのコンピュータプログラムを格納するための領域としても使用される。

【0038】既に述べたようにレイアウト設計装置42自体はいわゆるコンピュータによって実現された装置であって、以下に述べる制御構造を有するプログラムを実行することによって、本願発明の方法を実現する。コンピュータ自体の動作方法は周知であるから、ここではその詳細については繰り返さない。

【0039】図3に、本願発明に係る方法を実現するためのプログラムのメインフローを示す。図3が図27に示されるフローチャートと異なるのは、フロアプランの設計処理（S4）の後に、ブロックの配置と形状とを最適化するステップ（S6）が挿入されている点である。他の処理は図27に示すものと同様であるので、ここではその詳細は繰り返さない。

【0040】実施の形態1では、フロアプランの設計処理（S4）で得られた情報が、ステップS6への入力として与えられる。以下、ステップS4のフロアプランの設計処理について図4を参照して説明する。図4を参照して、この図4に示される方法は、既に述べた従来技術で使用されたものと同じである。まずステップS22で、何らかの方法で機能ブロックの配置を決定する。次にステップS24で、各ブロックのブロック形状を決定する。続いてステップS26で、このようにして決定されたブロックの配置と形状とに対応するフロアプラングラフを生成する。これはブロックの相対配置を決定する処理に相当する。次に、ブロック間の見積り配線を実行する（S28）。こうして見積られた配線領域の大きさを、フロアプラングラフの各辺に割当てて（S30）。最後に、配線領域の大きさに従ってブロックの形状や配置の変更を行ない、フロアプラン設計を終了する（S32）。

【0041】図5に、図3に示すステップS6のフローの詳細を示す。この処理への入力、フロアプランの設計処理（S4）で得られた情報であって、具体的には、ブロックの配置及び形状、ブロックの端子位置、並びにフロアプラン時の見積り配線経路である。

【0042】図5を参照してまず、ステップS42で、ブロックの形状と配置とが与えられると、ブロックの相

10

20

30

40

50

対配置を表わすフロアプラングラフを生成する。このフロアプラングラフを生成する処理は、例えば“Routing Region Definition and Ordering Scheme for Building-Block Layout” (W. M. Dai, T. Asano, E. S. Kuh, IE EE Transactions on Computer-Aided Design, Vol. CAD-4, No. 3, July 1985) に開示された方法を使用すればよい。

【0043】このフロアプラングラフを「ブロック相対配置」と呼ぶ。そして、各ネットが、このフロアプラングラフのどの辺を通過するのかをフロアプラン時の見積り配線経路からすべて求め、各辺に必要な配線領域の大きさを割当てて。

【0044】さらにこのとき、フロアプラングラフに対して次のような処理を行なう。図6を参照して、4つの機能ブロック60、62、64及び66が図6に示されるような配置となっている場合、その中央に十字交差部68が形成される。この場合従来の方法では、図7に示されるように十字交差部を有するフロアプラングラフ70を用いてモデル化していた。しかし本発明では、図8に示されるように、十字交差部を必ず2つのT字部分となるように分解する。このように十字交差の頂点を分解することにより、従来のブロック相対配置を表わすモデルでは評価できなかった十字交差領域の大きさが評価できるようになる。この評価方法については後述する。

【0045】図9(A)～(D)に、十字交差の頂点を2つのT字頂点に分解する方法を示す。十字交差の頂点はこの4つのいずれかに分解することが可能である。尚、この部分である特定の分解方法を採用したとしても、後に続く処理で他の方法も評価されるので、この時点でのT字への分解方法には解は依存しない。

【0046】再び図5を参照して、ステップS44で、少しでも配線領域が大きくなるとチップ全体の高さ(または幅)が大きくなる配線領域とブロックとの系列を検出する。以後この配線領域とブロックとの系列を「クリティカルパス」と呼ぶ。クリティカルパスの一例を図10に示す。

【0047】図10を参照してフロアプラングラフ80は11個のブロック82、84、86、88、90、92、94、96、98、100及び102を含んでいる。ブロック間の領域ごとに、ブロック間配線による配線量(例えばトラック数)が割当てられている。この配線量が図10の各辺上に表示されている。

【0048】図10に示す例では、白抜き矢印80aで示した経路に対応する次の系列が垂直方向のクリティカルパスである。

【0049】5-A-10-E-9-G-8-H-5
ただし上記表現で、アルファベットは各ブロックの中央に付された文字に対応し、数字はブロック間の領域ごとに割当てられた配線量を示している。

【0050】この系列上にあるブロック形状が少しでも

縦長になると全体の高さが増える。同じくこの系列上にある配線領域の大きさが増えると全体の高さが増える。すなわちこの経路が垂直方向のクリティカルパスである。

【0051】クリティカルパスを検出する方法としては、公知の方法があるのでそれを用いることができる。水平方向のクリティカルパスも垂直方向の場合と同様の方法で検出する。

【0052】再び図5を参照して、続いてステップS46で、クリティカルパス上の配線領域のうち、その周囲のブロック相対配置を変更した場合に配線領域が削減される可能性が最大である箇所を検出する処理が行なわれる。具体的には次のとおりの処理である。

【0053】まず、クリティカルパス上のすべての配線領域で、その周囲のブロック相対配置を変更した場合にどの程度の大きさの配線領域が削減可能であるかを評価関数を用いて算出する。その結果から、配線領域が削減可能な箇所を抽出する。この場合、配線領域の削減可能量を評価する方法が問題となる。

【0054】ブロック相対配置の変更による配線領域の削減量は本実施の形態では次のようにして求める。まず、図11(a)に示されるように、フロアプラングラフの十字交差の頂点のうち、垂直方向の辺が2つに分けられた場合の配置を「水平配線優位ブロック相対配置」と呼ぶ。また図11(b)に示されるように、十字交差の頂点において、水平方向の辺が2つに分けられた配置を「垂直配線優位ブロック相対配置」と呼ぶ。この2つの間で、ブロック相対配置を変更することができる。そこで、ブロック相対配置の変更による配線領域の削減量を、配線のパターンに応じてブロックの相対配置を変更した場合に水平(垂直)方向の配線量が増えるか、同じか、それとも減少するか、のいずれかになることに着目して求めている。

【0055】図11(a)に示される水平配線優位ブロック相対配置から図11(b)に示される垂直配線優位ブロック相対配置に変更する場合について説明する。水平配線優位ブロック相対配置における配線パターンは図12に示す15通りが考えられる。これら15通りの配線パターンのうち、図12の各図(a)～(o)の左側に記号で○印を付した配線パターンは垂直配線優位ブロック相対配置に変更すると配線領域が増えるパターンである。△印で示される配線パターンは相対配置の変更によって増減のないパターンである。×印で示される配線パターンは相対配置の変更によって配線領域が減少するパターンである。

【0056】従って、水平配線優位ブロック相対配置を垂直配線優位ブロック相対配置に変更する場合には、配線領域の削減量を例えば次のような評価関数 G_{HtoV} で見積もることができる。ただしこの式において $w(e_i \cdots e_j)$ は、辺 $e_i \cdots e_j$ を通る配線の本数を表わす。ここ

で辺 e_i 等は図11(a)に示される記法に従うものとする。

【0057】

【数1】

$$G_{HtoV} = w(e2.e3) + w(e3.e4) + w(e2.e3.e4) - w(e1.e3) - w(e3.e5) - w(e1.e3.e5) \dots (1)$$

【0058】尚ここで、辺 e_i を「通る」配線とは、ある機能ブロックの、辺 e_i に面する辺から出て辺 e_i と平行な方向に延びる配線、または機能ブロックからある程度離れた位置において辺 e_i に沿って延びる配線のことをいう。 $w(e2.e3)$ は例えば、あるブロックの、辺 $e2$ に面する辺から出て $e2$ と平行に走り、さらに辺 $e3$ と平行に延びる配線をいう。ある配線がある辺を「通る」か否かにより、その配線のその領域における「方向性」を知ることができる。

【0059】式(1)は、ブロック相対配置を水平配線優位から垂直配線優位に変更した場合、どの程度の量の配線領域がチップ全体で削減できるかを示している。例えば図11(a)に示される水平配線優位ブロック相対配置では、辺 $e2$ 及び $e3$ を「通る」配線は、必ずその中に辺 $e2$ に平行な部分と辺 $e3$ に平行な部分とを有している。この2つの辺は図11(a)に示されるように直交しているから、水平配線優位ブロック相対配置では、辺 $e2$ 、 $e3$ を通る配線は必ず折れ曲がって配線される。一方図11(b)では辺 $e2$ と辺 $e3$ とは平行であるから辺 $e2$ 、 $e3$ を通る配線は折れ曲がらずに配線される。一般に折れ曲がって配線される配線は折れ曲が*

$$G_{VtoH} = w(e1.e3) + w(e3.e5) + w(e1.e3.e5) - w(e2.e3) - w(e3.e4) - w(e2.e3.e4) \dots (2)$$

【0064】この上記式(2)は図12で示された15通りの配線パターンのうち、水平配線優位ブロック相対配置を垂直配線優位ブロック相対配置に変更する場合の○印を付した配線パターンと×印で示される配線パターンの意味合いが逆になる。つまり、 $G_{VtoH} = -G_{HtoV}$ である。

【0065】フロアプラングラフの十字交差の部分分解する他の方法として図11とは異なる図15に示されるような方法もある。この場合にも同様に、垂直配線優位ブロック相対配置と水平配線優位ブロック相対配置とがあり、配線領域削減量 G_{VtoH} 、 G_{HtoV} も同様に定義できる。

【0066】尚図11に示されるような箇所は例えば図16に示される例にもいくつか存在するが、それらのうち図11(a)に示す辺 $e3$ 上にクリティカルパスが存在するような相対的配置にブロックが配置されている箇所のすべてについて、配線領域の増減を定量的に測る尺度 G_{VtoH} 、 G_{HtoV} を計算する。そして、その中で最も配線領域削減量が大きい箇所を選択する。

【0067】配線領域の削減量が最大の箇所を抽出する

*らない配線よりも配線領域を多く必要とする。従って辺 $e2$ 、 $e3$ を通る配線は、水平配線優位ブロック相対配置から垂直配線優位ブロック相対配置に変更することによって、必要な配線領域が減る可能性がある。この様子を図13(a)(b)にそれぞれ示す。ブロック相対配置の辺 $e3$ 、 $e4$ を通る配線と、辺 $e2$ 、 $e3$ 、 $e4$ を通る配線とについても同様である。

【0060】逆にブロック相対配置を水平配線優位から垂直配線優位に変更した場合、配線領域が増えてしまう場合もある。その例を図14に示す。図14(a)に示される水平配線優位ブロック相対配置における辺 $e1$ 、 $e3$ を通る配線は折れ曲がらずに配線される。しかし図14(b)に示されるように、垂直配線優位ブロック相対配置に変更するとこれら辺を通る配線は必ず折れ曲がって配線される。そのため配線領域が増える可能性がある。辺 $e3$ 、 $e5$ を通る配線と、辺 $e1$ 、 $e3$ 、 $e5$ を通る配線についても同様である。

【0061】上述した式(1)は水平配線優位ブロック相対配置を垂直配線優位ブロック相対配置に変更する場合に、配線領域が削減される可能性のある配線の本数を表わし、結果として配線領域の削減量を評価する値を与える。

【0062】逆に垂直配線優位ブロック相対配置を水平配線優位ブロック相対配置に変更する場合の配線領域削減量 G_{VtoH} も同様に下式として定義することができる。

【0063】

【数2】

例を図16を参照して説明する。図16を参照してこのフロアグラフ110は、7つのブロック112、114、116、118、120、122及び124を含んでいる。このフロアグラフ110における垂直方向のクリティカルパスが矢印126のように得られているとする。この場合、ブロック相対配置の変更対象となる候補はブロックA、B、G、Fで囲まれた部分とブロックC、D、E、Gで囲まれた部分とである。

【0068】ブロックA、B、G、Fに対応する部分では、ブロック間の配線結果より $w(e2.e3) = 0$ 、 $w(e3.e4) = 0$ 、 $w(e2.e3.e4) = 4$ 、 $w(e1.e3) = 0$ 、 $w(e3.e5) = 0$ 、 $w(e1.e3.e5) = 3$ である。従って式(1)に従うと配線領域削減量 G_{VtoH} は1である。同様にブロック相対配置において、ブロックC、D、E、Gに対応する部分では、ブロック間の配線結果より $w(e2.e3) = 0$ 、 $w(e3.e4) = 0$ 、 $w(e2.e3.e4) = 4$ 、 $w(e1.e3) = 0$ 、 $w(e3.e5) = 0$ 、 $w(e1.e3.e5) = 0$ となり、配線領域削減量 G_{VtoH} は4である。

【0069】従って、もし配線領域の削減可能箇所として、削減できる配線領域が最も大きい箇所を1つだけ選択するのであれば、ブロックC、D、E、Gに対応する部分を変更の対象とする。この部分の配線領域削減量の評価関数値がブロックA、B、G、Fに対応する値よりも大きいからである。削減できる配線領域を持つ箇所すべてを見つけるのであれば、ブロックC、D、E、Gに対応する部分と、ブロックA、B、G、Fに対応する部分との両方を変更対象として選択することができる。

【0070】再び図5を参照して、ステップS48で、ステップS46で抽出された箇所のブロック相対配置を次のように変更する。すなわち、ステップS46で抽出された箇所のブロック相対配置が水平配線優位ブロック相対配置の場合には、その周囲のブロックの配置を垂直配線優位ブロック相対配置に変更する。逆に抽出された箇所に相当するブロック相対配置が垂直配線優位ブロック相対配置の場合には、その箇所の周囲のブロックを水平配線優位ブロック相対配置に変更する。図13が、水平配線優位ブロック相対配置を垂直配線優位ブロック相対配置に変更した場合の例である。

【0071】図5を参照して続いてステップS50では、ステップS48で再構築されたブロック相対配置から得られる、ネットごとの配線経路に基づき、ブロック間の配線領域の大きさを再計算する。そしてそのブロック間の配線領域の大きさと、各ブロックの取り得る形状のすべてとから、面積最小となるチップの形状と、そのときの各ブロックの形状及び配置を求める。このための方法としては“A New Algorithm for Floorplan Design” (D. F. Wong and C. L. Liu, Proceedings of the 23rd Design Automation Conference, 1986, pp. 101-107) に開示された方法を使用することができる。

【0072】図6を参照して、ステップS52では、今までの繰り返しループの中で最も小さいチップ面積と、そのときの各ブロックの形状及び配置とを保存しておき、現在の解が過去の最小面積の解よりも小さい場合には現在の解で最小面積の解を更新する。そしてプログラムの制御をステップS44に戻し、ステップS44～S52の処理を繰り返す。こうして、それ以上計算しても最小面積の解よりも小さい解が得られなくなった場合にステップS54の処理を行なう。

【0073】ステップS54では、ステップS52の処理によって保存されている、チップ面積最小となる各ブロックの形状(幅と高さ)及び配置を出力し、処理を終了する。

【0074】以上の処理を具体的な例を参照して説明する。図17に示されるように、フロアプラン設計後、かつ詳細レイアウト前のフロアプラン130に関する情報が入力として与えられる。具体的には、フロアプラン130は4つのブロック132、134、136及び138を含んでいる。与えられるのは、これら各ブロックの

形状及び配置と、これらブロックの端子位置と、ネットごとの配線結果とである。ただし図17に示される例では、フロアプラン時の見積り配線結果が与えられるのでこれを一点鎖線で示してある。また各ブロックの端子位置は図17では黒丸で示し、各端子には接続要求(ネット)を表わす数字を付してある。例えばブロックA(132)の端子1とブロックC(136)の端子1とが配線により接続される。

【0075】図17の入力から、初期ブロック相対配置を生成(図5のS42)した結果を図18に示す。まず、公知のフロアプランングラフ作成方法を用いてブロックの相対配置をフロアプランングラフで表わす。このフロアプランングラフは図18においてはハッチングを施した線として示してある。次に、フロアプランングラフの各辺を「通る」配線本数から、各辺に必要な配線領域の大きさを割当てる。この各辺に割当てられる配線領域の大きさは、端子の位置と接続要求に応じて決定される。つまり端子の方向性に従って補助線をのぼし、最初に交差するフロアプランングラフの辺が求められる(2辺)。そして、これらの辺を起点としてそれぞれが接続される辺の列を求めると各端子の接続要求(ネット)がどのフロアプランングラフの辺を通過するのかが決定される。これを繰り返すことによってすべての各端子の接続要求(ネット)がどのフロアプランングラフの辺を通過するのかが決定されるため、フロアプランングラフの各辺に割当てられる配線領域の大きさが決定される。

【0076】例えば図19は図18を簡略化して表したものであるが、図19のネット9(ブロックAとCの端子9を結ぶ接続要求)の場合、ブロックAの端子9の方向性は下向き、ブロックCの端子9の方向性は上向きである。それぞれの方向性に従って補助線をのぼすと点H_AとH_Cでそれぞれフロアプランングラフの辺e1、e5に交差している。従ってネット9ではフロアプランングラフのe1、e3、e5の各辺上を通過することになる。同様にネット1～4ではフロアプランングラフのe4、e3、e2の各辺上を通過することになる。一方、ネット5～8、10～12は端子位置の水平方向にあたるX座標が同一のためフロアプランングラフのいずれの辺上も通過することはない。この結果、図18の場合には辺e1には1本、e2には4本、e3には5本、e4には4本、e5には1本分の配線領域の大きさを割当てる。尚この時点におけるチップの幅は23、高さは22であって面積は506である。

【0077】続いて図20に示されるように、垂直方向のクリティカルパス140及び水平方向のクリティカルパス142を検出する(図5、S44)。続いて図5に示されるS46を実施する。図20に示される例は水平配線優位ブロック相対配置である。これを垂直配線優位ブロック相対配置に変更した場合の配線領域削減量G_{nov}を算出するとその結果は図21に示されるとおりで

ある。この場合、図20の辺e3の部分だけが、配線領域の削減可能な箇所であって、他には対象は存在しない。従って、この部分をブロック相対配置を変更する対象として選択する。

【0078】図22を参照して、図20に示される水平配線優位ブロック相対配置を、垂直配線優位ブロック相対配置に変更した結果が示されている。フロアプラングラフの各辺につけられている数字は、その辺を通る配線本数を示している。この配線本数は図21に示された結果を用いて求めることができる。

【0079】図23を参照して、図22のように変更された相対配置から、チップ全体の形状と、各ブロックの形状及び配置とを求めた結果を示してある。変更後のブロック152、154、156及び158はそれぞれ、変更前のブロック132、134、136及び138に対応する。図22にも示されるように、各辺を通る配線本数が求められているので、この値をもとにして各ブロック間の大きさを求める。図23に示される例では、通過配線本数プラス1の大きさがブロック間の距離に必要な大きさであると定められているものとする。例えばブロックA(152)とブロックB(154)との間の配線領域の大きさ(高さ)は、ブロックA、B間の配線領域を表わすフロアプラングラフの辺(図22参照)の通過配線本数が1であるので、 $1+1=2$ とする。ブロックA、BとC、Dの間に必要な配線領域は、辺e2、e3、e4のそれぞれを通る配線本数の最大値が5であるから、その大きさ(幅)は6となる。このようにしてブロック間の配線領域の大きさを設定し、さらにチップ形状、下位ブロック形状、下位ブロック配置を算出した結果を図23に示す。

【0080】図23を参照して、最終的にはチップが幅23.5、高さ18.0となり、その面積は423.0となる。これを処理前の幅23、高さ22、面積506と比較すると本方法の効果は明確である。

【0081】さらに図23に示された配置がチップ面積を最小にすると判断された場合に、詳細レイアウトをした結果を図24に示す。予め配線の経路を考慮して配線領域の大きさを見積り、ブロックの配置と形状とを決定しているので、詳細レイアウトから設計が後戻りすることはない。

【0082】[実施の形態2] 実施の形態1では、入力フロアプラン設計結果であった。しかし、この発明は入力詳細レイアウト後の結果としても同様に実施することができる。この場合の入力としてはより具体的には、ブロックの配置及び形状と、ブロックの端子位置と、詳細レイアウト後の配線経路とである。

【0083】実施の形態2を実現するためのプログラムの処理フローを図25に示す。図25に示されるフローチャートが図3に示される実施の形態1のフローチャートと異なるのは、図3に示されるステップS6の位置が

詳細レイアウト設計処理であるステップS8の後に移されてステップ60となっていること、さらにこのステップS60の後に、ステップS8と同様の詳細レイアウト設計を行なう処理ステップS62が設けられている点である。各ステップでの処理内容は既に説明したものである。ここでの詳細については繰り返さない。尚この実施の形態2では、詳細レイアウト後の配線経路を、実施の形態1におけるフロアプラン時の見積り配線経路とみなせばよい。

10 【0084】また、本発明の階層的レイアウト方法を実現するプログラムは、上記本発明を実装するためのシステム構成で説明したように外部記憶装置46(図1)に格納され、それは例えばフロッピーディスク、ハードディスク、磁気テープ、CD-ROM/光ディスク/光磁気ディスク/MD等のメディア、及びROM/RAMメモリ等の記録媒体に格納されるのもであってもよい。また、このプログラムは上記メディア、例えば図2に示すフレキシブルディスク54またはCD-ROMなどに格納して流通させることが可能である。

20 【0085】上記格納されるプログラム内容の一例としては、上記本発明に係る方法を実現するための処理シーケンスで説明したように、1) 複数のブロックを含む論理回路の、ブロック間の接続情報を機械可読な形式で準備することからなる処理と、2) 前記接続情報に基づいて、ブロック間配線の経路情報を含むレイアウト設計を行なう処理で、ブロックの配置とブロック形状とブロック間の配線経路とを含む詳細レイアウトを設計するステップと、ブロックの配置とブロック形状とブロック間の配線の見積り経路とを含むフロアプランを設計するステップと、を含むことからなる処理と、3) 配線経路のために必要とされる面積を削減するための所定の基準に従って、レイアウトに含まれるブロックの相対配置の変更を行ない、変更されたブロックの相対配置に基づいてブロック配置とブロック形状とを最適化する処理で、ブロックの初期相対配置を決定するステップと、決定された相対配置において、チップの大きさを支配するクリティカルパス上に存在する配線領域を検出するステップと、前記クリティカルパス上の配線箇所の各々について当該配線箇所を通過する配線の各々の経路の方向性を決定するステップと、前記配線の前記方向性に対して所定の関数関係を適用することによりチップの面積の削減可能量を評価して最大削減可能量を与える配線箇所を決定するステップとを含む、前記クリティカルパス上に存在する配線領域のうち当該配線領域の周囲のブロックの相対配置を変更することによる配線領域の削減可能量が最大の配線領域を決定するステップと、前記削減可能量が最大であると決定された配線領域の周囲のブロックの相対配置を変更し、変更後のブロック相対配置に基づいてチップ形状とブロック配置とブロック形状とを決定するステップと、変更後のブロック相対配置に基づいて決定

されたチップ形状とブロック配置とブロック形状とによって定められるチップの面積を計算するステップと、当該計算されたチップ面積が最小値であると判定されるまで前記配線領域を検出するステップと、前記削減可能量が最大の配線領域を決定するステップと、前記チップ形状とブロック配置とブロック形状とを決定するステップと、前記計算するステップとを繰り返すステップと、前記繰り返すステップによって得られた最小値を与えるブロック配置とブロック形状とを最適化レイアウトとして出力するステップと、を含むことからなる処理を実現させる内容である。

【0086】以上のように本願発明によれば、チップの大きさを支配する箇所の配線経路を改善するようにブロックの相対配置を変更し、その相対配置に基づいてブロックの形状と配置とを最適化して詳細レイアウトすることができる。そのためにチップの大きさを支配する箇所を求め、それらにおけるブロック相対配置を変更することにより面積が削減できる可能性を示す評価量を求め、最も効果的と思われる箇所のブロック相対配置を変更している。このようにフロアプラングラフ自体を変更し

て、その変更したグラフに基づいて最適化された詳細レイアウトをすることができるため、従来よりもさらにチップ面積を小さくすることが可能であるという利点を有している。

【0087】以上、これまで挙げた各実施例は本発明の主旨を変えない限り、上記記載内容に限定されるものではない。

【0088】

【発明の効果】本発明の階層的レイアウト方法及び記録媒体では、各請求項において以下の効果が得られる。

【0089】本発明の請求項1及び6においては、接続情報に従って一旦レイアウト設計が行なわれた後、所定の基準に従って、レイアウトに含まれるブロックの相対配置の変更が行なわれ、変更後のブロックの相対配置に基づいてブロック配置とブロック形状とが最適化される。この所定の基準は、配線経路のために必要とされる面積を削減できるように定められており、そのため相対配置の変更後のチップのレイアウトでは配線経路のための面積が削減され、レイアウトを最適化することができる効果を有している。さらに上記効果を有する階層的レイアウト方法を実現するプログラムを格納した記録媒体を提供できることである。

【0090】本発明の請求項2においては、ある相対配置におけるクリティカルパス上の配線領域のうち、周囲のブロックの相対配置を変更することによる配線領域のための面積の削減可能量が最大のものが決定され、その配線領域の周囲のブロックの相対配置が変更される。変更後の相対配置に従ってチップの面積、ブロック配置、及びブロック形状が計算される。そして、チップの面積が最小値であると判定されるまでこれら処理が繰り返さ

れ、最小値が得られた時点でそのときのレイアウトが出力されるので、最終的に最適化されたブロック配置とブロック形状とを得ることができる効果を有している。

【0091】本発明の請求項3においては、配線箇所の周囲のブロックの相対配置を変えることにより、当該配線箇所における配線のために必要とされる面積が減少するか否かは、当該配線領域における各配線の方向性によって決定できる。例えば相対配置の変更前には配線が折れ曲がっているが、変更後には直線の部分が多くなるのなら、配線の屈曲部の方が面積を多く必要とするので、相対配置変更後の方が配線のための面積が減少する可能性が高い。こうした関係を、配線の方向性に着目して、配線領域の削減可能量を配線の方向性の関数として定めることができる。そのため、この関数によりブロックの相対配置の変更による配線領域の面積の増減を評価できる効果を有している。

【0092】本発明の請求項4及び5においては、詳細レイアウト後に、チップ中のブロック配置、ブロック形状等を最適化できる効果を有している。

【0093】以上のことから、チップの大きさを支配する箇所の配線経路を改善するようにブロックの相対配置を変更し、その相対配置に基づいてブロックの形状と配置とを最適化して詳細レイアウトすることができ、これにより従来よりもチップ面積を小さくすることが可能であるという効果を有している。

【図面の簡単な説明】

【図1】本願発明を実施するための装置の概略構成図である。

【図2】図1に示される装置の外観を示す図である。

【図3】本願発明の実施の形態1を実現するためのプログラムのフローチャートである。

【図4】フロアプラン設計処理のフローチャートである。

【図5】ブロックの配置と形状とを最適化する処理のフローチャートである。

【図6】フロアプラングラフの十字交差領域を示す図である。

【図7】従来の方法において、十字交差領域を含む部分に対応して形成されるグラフを示す図である。

【図8】本願発明で、十字交差部分を含むグラフの十字交差頂点を分解する方法を示す図である。

【図9】本願発明において十字交差部分の頂点を分解する方法を示す図である。

【図10】クリティカルパスの一例を模式的に示す図である。

【図11】水平配線優位ブロック相対配置と垂直配線優位ブロック相対配置とのブロック相対配置の変更を示す図である。

【図12】水平配線優位ブロック相対配置のパターンについて、垂直配線優位ブロック相対配置に変更した場合

の配線領域の増減をパターンごとに示した図である。

【図13】水平配線優位ブロック相対配置を垂直配線優位ブロック相対配置に変更した結果配線領域が削減される可能性がある場合を示す図である。

【図14】水平配線優位ブロック相対配置を垂直配線優位ブロック相対配置に変更した場合に配線領域が増大する可能性がある場合を示す図である。

【図15】ブロック相対配置の変更の他の例を示す図である。

【図16】配線領域の削減可能量の求め方を説明するた 10 めの図である。

【図17】本願発明の適用例を示す図である。

【図18】本願発明の適用例を示す図である。

【図19】本願発明の適用例を示す図である。

【図20】本願発明の適用例を示す図である。

【図21】本願発明の適用例を示す図である。

【図22】本願発明の適用例を示す図である。

【図23】本願発明の適用例を示す図である。

【図24】本願発明の適用例を示す図である。

【図25】本願発明の実施の形態2のプログラムのフローチャートである。

【図26】従来のフロアプラングラフを示す図である。

【図27】従来方法における処理フローを示すフローチャートである。

【符号の説明】

レイアウト設計装置 42

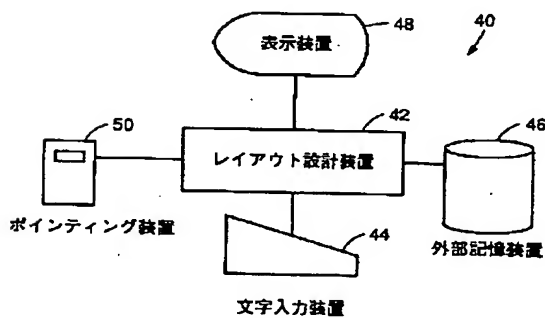
文字入力装置 44

外部記憶装置 46

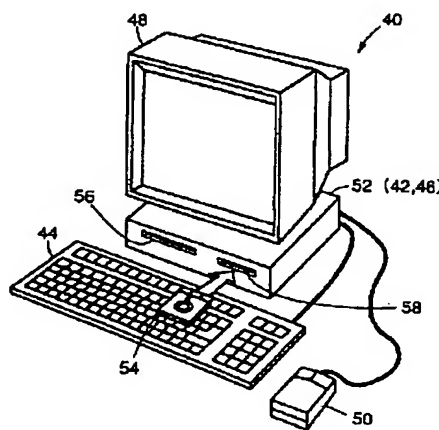
表示装置 48

ポインティング装置 50

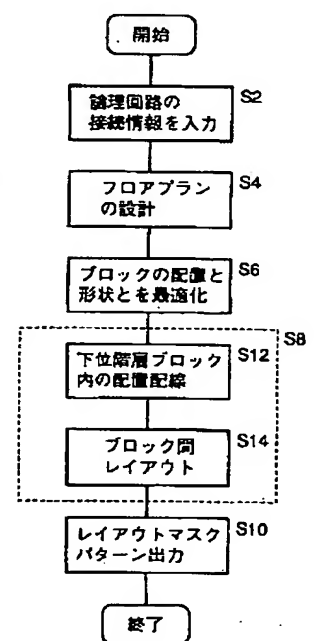
【図1】



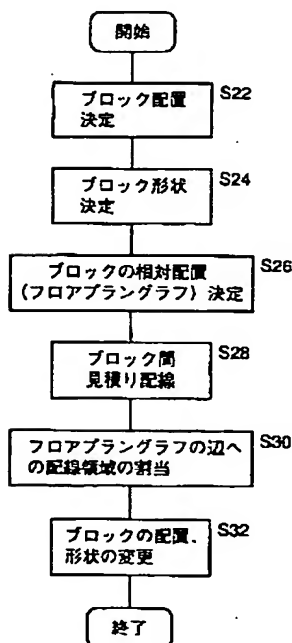
【図2】



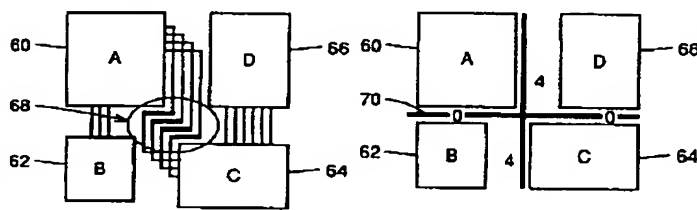
【図3】



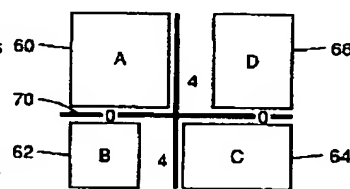
【図4】



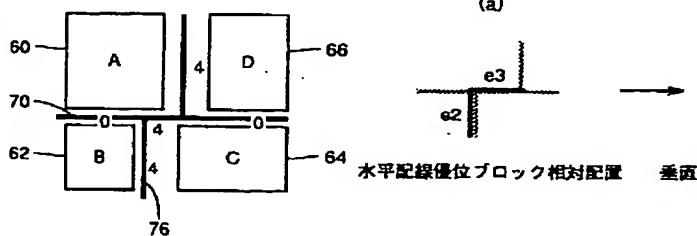
【図6】



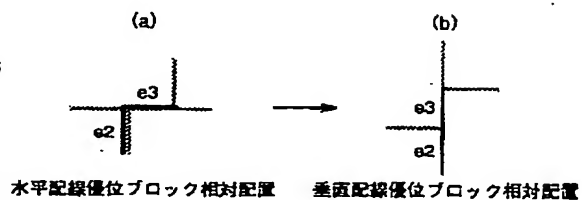
【図7】



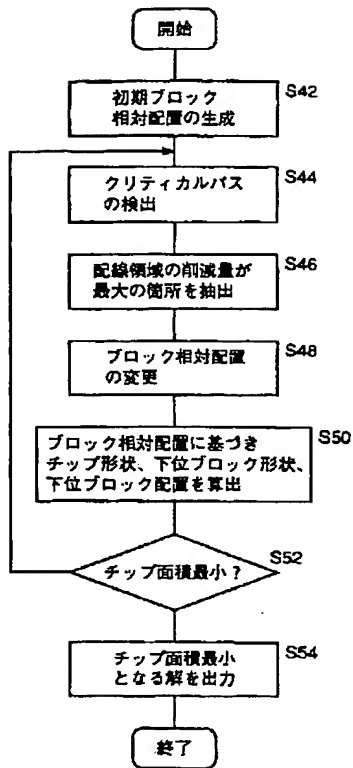
【図8】



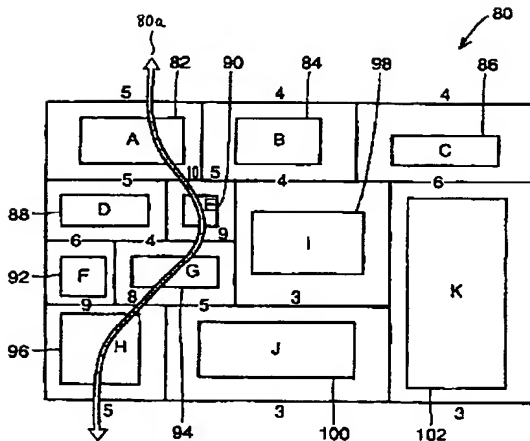
【図13】



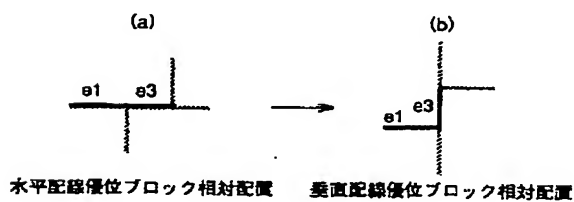
【図5】



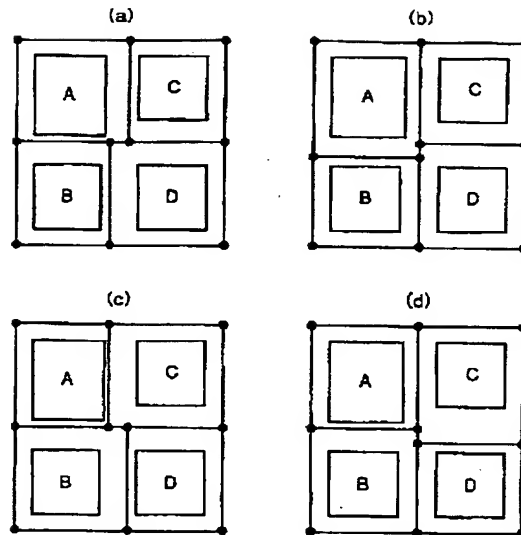
【図10】



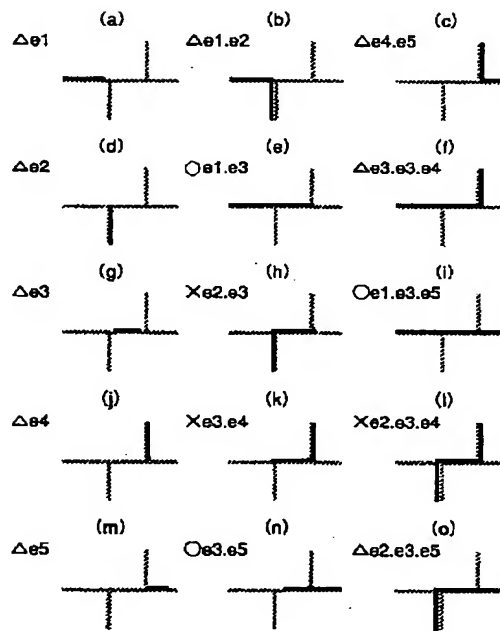
【図14】



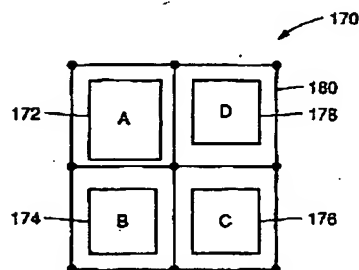
【図9】



【図12】



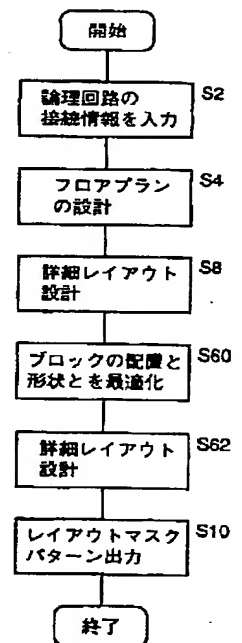
【図26】



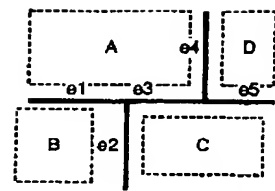
【図21】

$w(e2, e3)=0$
 $w(e3, e4)=0$
 $w(e2, e3, e4)=4$
 $w(e1, e3)=0$
 $w(e3, e5)=0$
 $w(e1, e3, e5)=1$
 $\therefore G_{\text{RedV}}=3$

【図25】

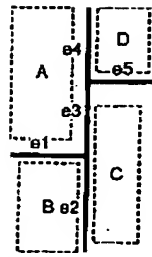


【図 11】



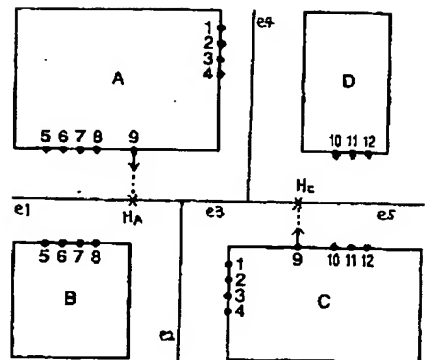
水平配線優先ブロック相対配置
(a)

ブロック相対配置の変更

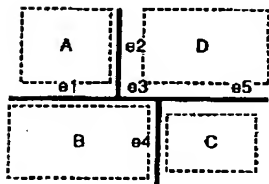


垂直配線優先ブロック相対配置
(b)

【図 19】

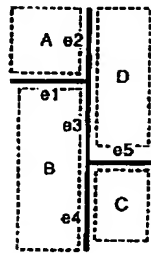


【図 15】



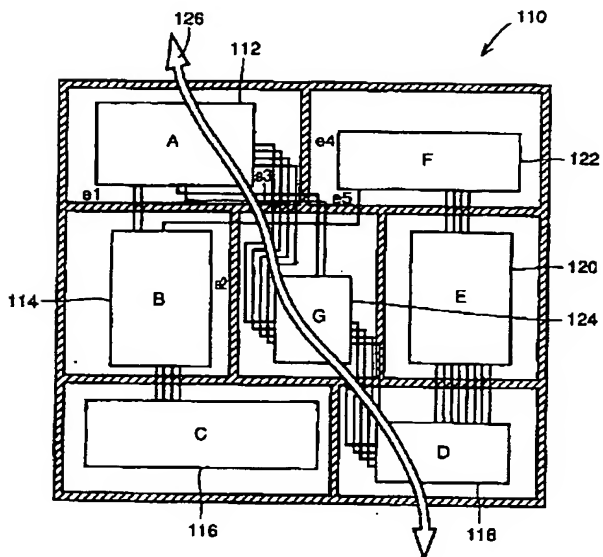
水平配線優先ブロック相対配置
(a)

ブロック相対配置の変更

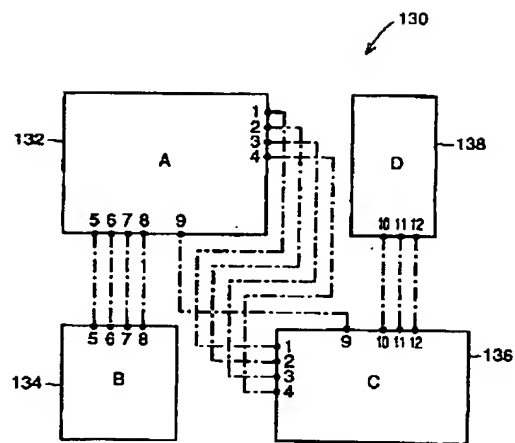


垂直配線優先ブロック相対配置
(b)

【図 16】

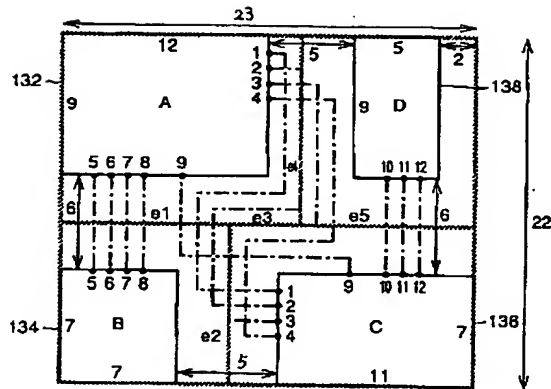


【図 17】

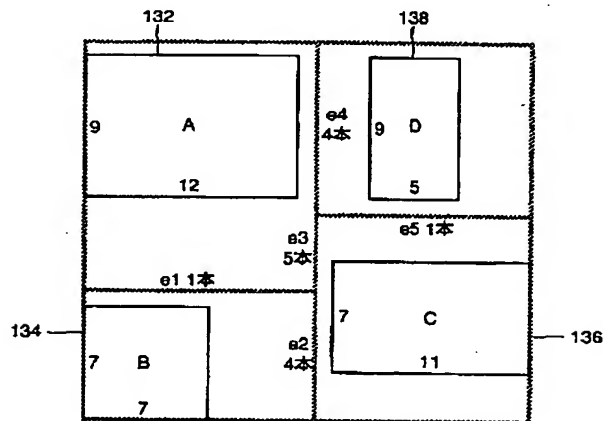


フロアプラン結果

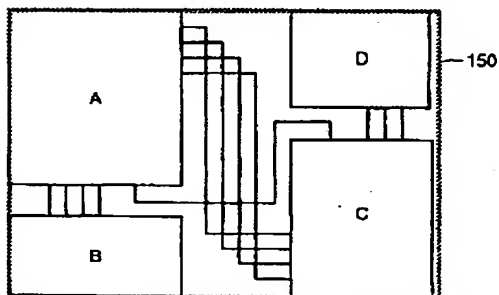
【図18】



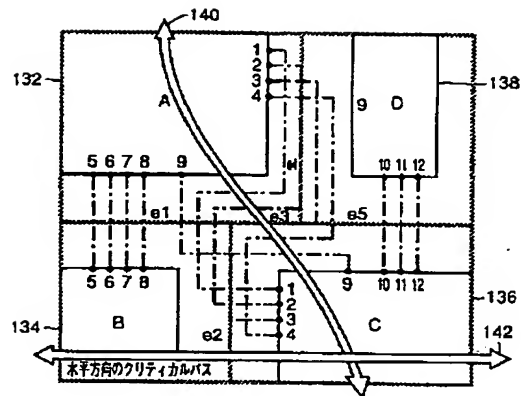
【図22】



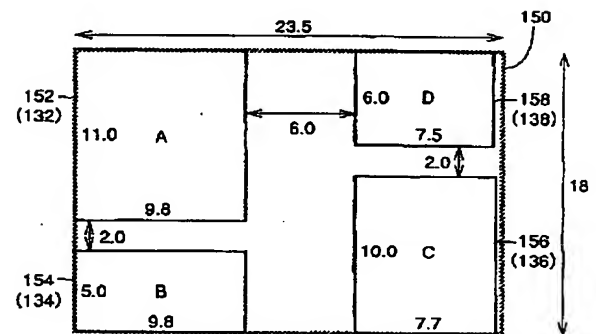
【図24】



【図20】



【図23】



【図27】

